

LPC1752 강좌 >

[강좌 9] DAC(MCP4728) 를 붙여보자.(I2C 통신 강좌)



시도 카페매니저 + 구독 1:1 채팅
2012.03.15. 01:32 조회 391

댓글 0 URL 복사 ⋮

안녕하세요.

제가 게을러서 글을 많이 못썼네요. (하려고 했던 테스트도 하나도 못했네요.)

이번에 회사 제품 테스트 지그를 만들면서 **LPC1752** 나 그밖의 **17 계열 ARM칩**에는 **DAC가 없어서 적절한 DAC를 선정**해서 현재 회로설계중입니다.

다음은 제가 선택해서 회로를 꾸민 **DAC IC**입니다.

I/F 방식은 **I2C 방식**입니다.

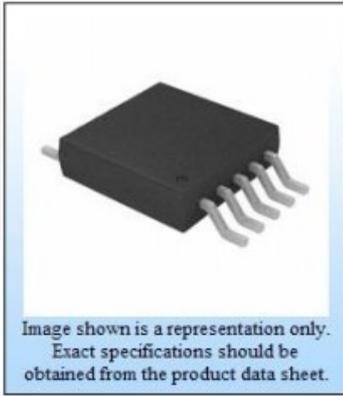
출력은 **4채널**입니다.

어쩌면 **I2C 통신 강좌**라고 하는 것이 나올지도 모르겠습니다.

< DAC IC(MCP4728) 스펙 >

All prices are in US dollars.

Digi-Key Part Number	MCP4728-E/UN-ND	Price Break	Unit Price	Extended Price
Quantity Available	4,068	1	2.06000	2.06
Manufacturer	Microchip Technology	10	1.89000	18.90
Manufacturer Part Number	MCP4728-E/UN	25	1.58000	39.50
Description	IC DAC 12BIT W/12C 10-MSOP	100	1.44000	144.00
Lead Free Status / RoHS Status	Lead free / RoHS Compliant			



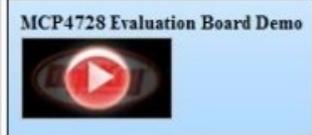
Quantity	Item Number	Customer Reference	
<input type="text"/>	MCP4728-E/UN-ND ▾	<input type="text"/>	<input type="button" value="Add to Order"/>

When requested quantity exceeds displayed pricing table quantities, a lesser unit price may appear on your order. You may submit a [request for quotation](#) on quantities which are greater than those displayed in the pricing table.

Datasheets	MCP4728
Product Photos	C04-021-MSOP
Video File	MCP4728 Evaluation Board Demo
Standard Package	100
Category	Integrated Circuits (ICs)
Family	Data Acquisition - Digital to Analog Converters (DAC)
Series	-
Settling Time	6µs
Number of Bits	12
Data Interface	EEPROM, I ² C, Serial
Number of Converters	4
Voltage Supply Source	Single Supply
Power Dissipation (Max)	-
Operating Temperature	-40°C ~ 125°C
Mounting Type	Surface Mount
Package / Case	10-TFSOP, 10-MSOP (0.118", 3.00mm Width)
Supplier Device Package	10-MSOP
Packaging	Tube
Number of Outputs and Type	4 Voltage, Unipolar
Sampling Rate (Per Second)	*
Catalog Page	725 (US2011 Interactive) 725 (US2011 PDF)
For Use With	MCP4728EV-ND - BOARD EVAL 12BIT 4CH DAC MCP4728

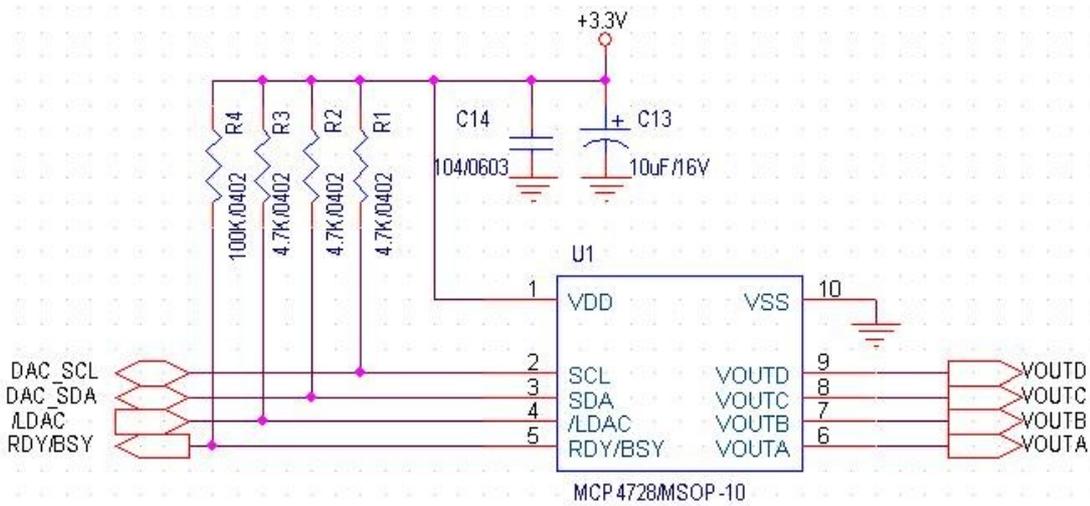
Possible Substitute

- [MCP4728T-E/UN-ND](#)

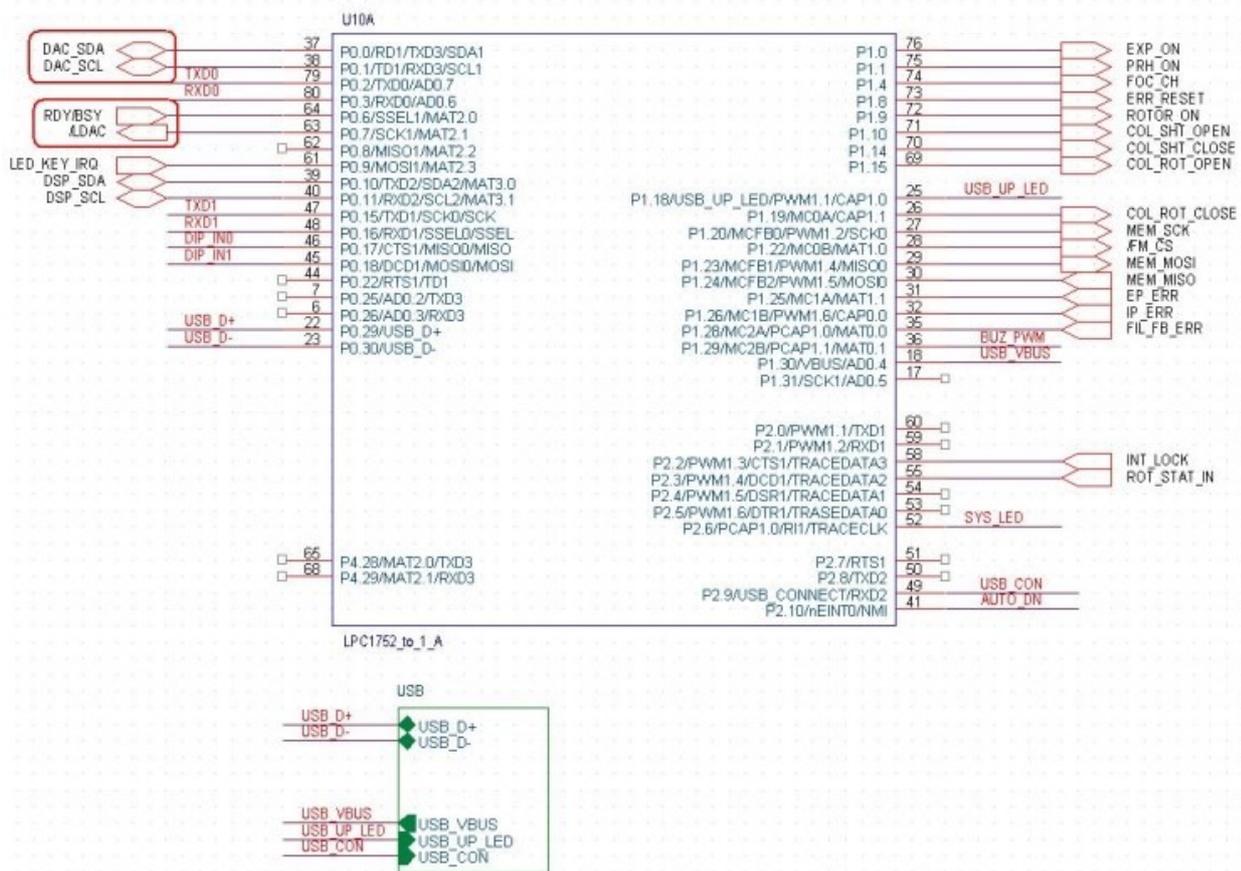


다음은 DAC I/F 회로도 입니다.

<DAC 회로>



<I2C 관련 CPU 회로도>



나머지 설명은 다음주 중에 프로그램을 짜면서 이 강좌란에 업데이트하겠습니다.

2012-04-03 오후 2:14 Updating...

x만한 녀미 드럽게 복잡하네요. I2C 핀 2개(SDA,SCL)빼고

I/F용 핀이 각각 2가지 용도로 또 나뉘고 에이 머리 아파.~

DAC 사용 설명

[주요 핀 설명]

3.2~ 3.3 I2C 핀(SDA,SCL 핀)

Serial Clock Pin(SCL)

Serial Data Pin(SDA)

일반 모드(100KHz~400KHz)일때 풀업 저항으로 5~10K를 달고,
고속 모드(~3.4MHz)일때 1K 풀업 달아라.

3.4 /LDAC 핀

이 핀은 외부 장치(MCU 같은 장치)에 의해 콘트롤 되며
다음과 같은 용도로 사용된다.

- a) 내부 레지스터 내용을 그에 해당하는 DAC 출력 레지스터에 전송
- b) I2C 주소 비트를 읽고 쓸 장치 선택

/LDAC핀의 로직 상태가 High 에서 Low로 바뀔 때, 모든 내부 레지스터(Channel A-D)의 내용이
그에 해당하는 출력 레지스터로 전송되고 모든 ANALOG 전압 출력이 즉시 업데이트된다.

만약 이 핀이 영구적으로 LOW로 묶여 있으면, 마지막 ACK 펄스에 의해 즉시
내부 레지스터의 내용이 출력 레지스터로 전송된다.

사용자는 대신 /UDAC비트를 사용할 수 있는데, /UDAC 비트는 선택된 채널만을 업데이트한다.

3.5 RDY/BSY Status Indicator Pin

이 핀은 EEPROM 프로그래밍 동작의 상태를 지시하는 용도로 쓰인다.

이 핀은 EEPROM 프로그램 동작중이 아니면 "High" , EEPROM이 프로그램 모드인 때에는 "Low"이다.
EEPROM 프로그램이 완료되면 다시 "High"상태가 됨.

이 핀은 open-drain N-channel 출력이므로 VDD와 핀사이에 풀업 저항(약 100K)를 달아야 한다.
이 핀을 사용하지 않으려면, Floating 상태로 두면 된다.

3.6 Analog Output Voltage Pins (VoutA,VoutB,VoutC,VoutD)

이 DAC칩은 4개의 아날로그 전압 출력핀을 갖고 있다.

각 출력은 gain과 VREF 선택 비트 설정에 따라 1 또는 2의 gain의 자체 출력 버퍼에 의해 구동됩니다.

표준 모드에서는 출력 핀의 DC 임피던스는 약 1Ω이다.

파워 다운 모드에서, 출력 핀은 파워 다운 선택 비트 설정에 따라, 내부적으로 1 kΩ, 100 kΩ, 500 kΩ에 연결된다.

VOUT 핀은 용량성 부하 1000 PF까지 동작 가능하다.

5 kΩ 이상의 RL 부하를 사용하는 것이 좋다.

4.0 DAC IC의 동작 개요.

MCP4728 장치는 비휘발성 메모리 (EEPROM)를 전압 출력 DAC 버퍼 12 비트 4 채널입니다.

사용자는 I2C 어드레스 비트, 구성 및 각 채널의 DAC 입력 데이터 EEPROM을 프로그램할 수 있습니다.

이 디바이스는 EEPROM의 프로그래밍 전압을 제공하기 위해 내부 차지 펌프 회로가 있습니다.

장치에 처음에 전원이 인가되면, 자동으로 DAC의 입력 및 출력 레지스터에 EEPROM에 저장된 데이터를 로드하고, 즉시 저장된 설정으로 아날로그 출력을 제공합니다.

이 이벤트는 /LDAC 또는 /UDAC 비트 상태를 필요로 하지 않습니다.

장치에 전원이 인가되면 사용자가 I2C 쓰기 명령을 사용하여 입력 레지스터를 업데이트할 수 있습니다.

/LDAC 핀 또는 /UDAC 비트가 "Low"상태일 경우 아날로그 출력은 새로운 레지스터 값으로 업데이트될 수 있습니다.

각 채널의 DAC 출력은 저전력 및 정밀 출력 증폭기로 버퍼링됩니다.

이 증폭기는 낮은 오프셋 전압과 낮은 노이즈의 레일 - 투 - 레일 출력을 제공합니다.

이 장치는 resistor string 아키텍처를 사용합니다.

resistor ladder DAC는 reference의 선택에 따라 VDD 또는 내부 VREF에 의해 드라이브 될 수 있다.

사용자는 소프트웨어로 개별적으로 각 DAC 채널에 대한 내부 (2.048V) 또는 외부 reference (VDD)를 선택할 수 있습니다.

VDD는 외부 reference로 사용됩니다. 각 채널은 독립적으로 제어 및 동작된다.

이 장치는 파워 다운 모드 기능이 있습니다. 각 파워 다운 채널하에서, 대부분의 회로가 동작 중지 됩니다.

따라서, 동작에 필요로 하는 전원은 사용되지 않는 채널을 파워 다운 모드로 넣어 상당히 절약된다.

4.1 POWER-ON-RESET 기능

내부에 VDD를 모니터링하는 POWER-ON-RESET 회로를 갖고 있다.

일반적으로 (typical) $2V(V_{POR})$ 를 기준으로 VDD가 기준(V_{POR}) 이하로 떨어지면 모든 회로가 기능 정지되고, 아날로그 출력도 나오지 않게 됨.

VDD가 V_{POR} 이상 높아지면 리셋 상태로 돌아가서 DAC의 각 채널별 조정값과 데이터를 마지막에 EEPROM에 쓰여진 값으로 복구하고 아날로그 출력값도 복구된다.

4.2 RESET 조건

다음 두 개의 독립적인 이벤트로 reset될 수 있다 :

- Power-On-Reset 에 의해
- I2C general call reset 명령에 의해

리셋 조건 아래서, DAC 입/출력 레지스터 모두에 EEPROM 데이터를 업로드한다.

각 채널의 아날로그 출력 전압은 /LDAC 및 /UDAC 비트 조건에 관계없이 즉시 사용할 수 있다.

4.3 Output Amplifier

DAC 출력은 저전력 정밀 앰프로 버퍼링됩니다.

이 증폭기는 낮은 오프셋 전압과 낮은 노이즈뿐만 아니라 레일 - 투 - 레일 출력을 제공합니다.

출력 증폭기는 발진없이 저항성 및 높은 용량성 부하를 드라이브 할 수 있습니다.

앰프는 프로그램 가능한 전압 레퍼런스의 대부분을 만족할 만큼, 24mA의 최대 전류 출력을 제공할 수 있습니다.

4.3.1 PROGRAMMABLE GAIN BLOCK

각 채널의 레일 - 투 - 레일 출력 증폭기는 조정이 가능한 게인 옵션을 갖고 있다.

내부 전압 레퍼런스가 선택되면, 출력 증폭기 게인은 2개의 선택 옵션을 갖을 수 있다. : Gain of 1 및 Gain of 2

외부 Reference가 선택되면 (VREF = VDD), Gain of 2의 옵션이 비활성화되고, Gain of 1 만 기본으로 사용됩니다.

4.3.1.1 저항과 용량성 부하

아날로그 출력 (VOUT) 핀 5 kΩ 부하 저항과 병렬로 1,000 PF에 이르는 용량성 부하를 구동이 가능합니다. 그림 2-43은 VOUT 대 저항로드를 보여줍니다.

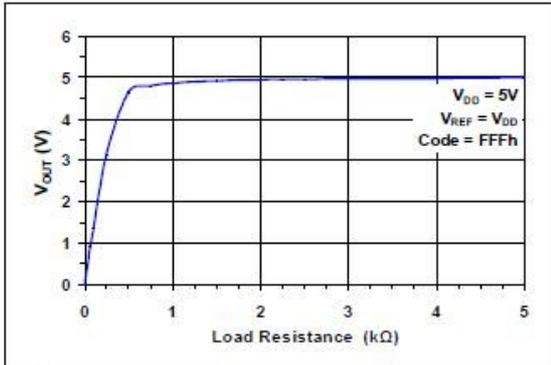


FIGURE 2-43: V_{OUT} vs. Resistive Load.

4.4 DAC Input Registers and Non-Volatile EEPROM Memory

각 채널은 자체 휘발성 DAC 입력 레지스터와 EEPROM이 있습니다.

입력 레지스터와 EEPROM의 세부 사항은 각각 표 4-1 및 표 4-2에 표시됩니다.

TABLE 4-1: INPUT REGISTER MAP (VOLATILE)

Bit Name	Configuration Bits							DAC Input Data (12 bits)															
	RDY /BSY	A2	A1	A0	VREF	DAC1	DAC0	PD1	PD0	Gx	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
Bit Function	(Note 1)	I ² C Address Bits (Note 1)			Ref. Select (Note 2)	DAC Channel (Note 2)		Power-Down Select (Note 2)		Gain Select (Note 2)	(Note 2)												
CH. A																							
CH. B																							
CH. C																							
CH. D																							

Note 1: EEPROM write status indication bit (flag).

2: Loaded from EEPROM during power-up, or can be updated by the user.

TABLE 4-2: EEPROM MEMORY MAP AND FACTORY DEFAULT SETTINGS

Bit Name	Configuration Bits							DAC Input Data (12 bits)														
	A2	A1	A0	VREF	PD1	PD0	Gx	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0			
Bit Function	I ² C Address Bits (Note 1)			Ref. Select (Note 2)	Power-Down Select		Gain Select (Note 3)															
CH. A	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
CH. B				1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
CH. C				1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
CH. D				1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Note 1: Device I²C address bits. The user can also specify these bits during the device ordering process. The factory default setting is "000". These bits can be reprogrammed by the user using the I²C Address Write command.

2: Voltage Reference Select: 0 = External V_{REF} (V_{DD}), 1 = Internal V_{REF} (2.048V).

3: Gain Select: 0 = Gain of 1, 1 = Gain of 2.

TABLE 4-3: CONFIGURATION BITS

Bit Name	Functions
RDY/BSY	This is a status indicator (flag) of EEPROM programming activity: 1 = EEPROM is not in programming mode 0 = EEPROM is in programming mode Note: RDY/BSY status can also be monitored at the RDY/BSY pin.
(A2, A1, A0)	Device I ² C address bits. See Section 5.3 “MCP4728 Device Addressing” for more details.
V _{REF}	Voltage Reference Selection bit: 0 = V _{DD} 1 = Internal voltage reference (2.048V) Note: Internal voltage reference circuit is turned off if all channels select external reference (V _{REF} = V _{DD}).
DAC1, DAC0	DAC Channel Selection bits: 00 = Channel A 01 = Channel B 10 = Channel C 11 = Channel D
PD1, PD0	Power-Down selection bits: 00 = Normal Mode 01 = V _{OUT} is loaded with 1 kΩ resistor to ground. Most of the channel circuits are powered off. 10 = V _{OUT} is loaded with 100 kΩ resistor to ground. Most of the channel circuits are powered off. 11 = V _{OUT} is loaded with 500 kΩ resistor to ground. Most of the channel circuits are powered off. Note: See Table 4-7 and Figure 4-1 for more details.
G _X	Gain selection bit: 0 = x1 (gain of 1) 1 = x2 (gain of 2) Note: Applicable only when internal V _{REF} is selected. If V _{REF} = V _{DD} , the device uses a gain of 1 regardless of the gain selection bit setting.
UDAC	DAC latch bit. Upload the selected DAC input register to its output register (V _{OUT}): 0 = Upload. Output (V _{OUT}) is updated. 1 = Do not upload. Note: UDAC bit affects the selected channel only.

아~놔 메뉴얼 내용 진짜 많네... 뭘 조그만 칩이 기능이 이렇게 많냐~ TT

2012-04-04 오후 6:12 Updating....

4.5 Voltage Reference

이 DAC는 2.048V의 전압을 제공하는 정밀한 내부 전압 레퍼런스를 가지고 있습니다.

사용자는 VREF configuration bit를 사용하여 각 채널의 전압 레퍼런스 소스로서 내부 전압 레퍼런스나 VDD 를 선택할 수 있다.

내부 전압 레퍼런스 회로는 모든 채널들이 레퍼런스로 VDD를 선택했을 때 꺼져버립니다.

하지만 채널 중 하나가 내부 레퍼런스를 선택하는 경우에는, 켜져서 유지됩니다.

4.6 LSB Size

LSB는 두 연속 코드 사이의 이상적인 전압 차이로 정의됩니다.

MCP4728 장치의 LSB 크기는 표 4-4에 표시됩니다.

TABLE 4-4: LSB SIZES (EXAMPLE)

V _{REF}	Gain (G _X) Selection	LSB Size	Condition
Internal V _{REF} (2.048V)	x1	0.5 mV	2.048V/4096
	x2	1 mV	4.096V/4096
V _{DD}	x1	V _{DD} /4096	(Note 1)

Note 1: LSB size varies with the V_{DD} range. When V_{REF} = V_{DD}, the device uses G_X = 1 by default. G_X = 2 option is ignored.

4.7 DAC Output Voltage

각 채널은 자체 configuration bit 설정 및 DAC 입력 코드와 연관된 독립적인 출력을 가지고 있습니다. 내부 전압 레퍼런스를 선택한 경우 (VREF = internal), 그것은 채널의 resistor string DAC에 내부 VREF 전압을 공급한다. 외부 레퍼런스 (VREF = VDD)를 선택하면, VDD는 채널의 resistor string DAC에 사용됩니다.

VDD는 정확 DAC의 성능을 위해서 최대한 깨끗할 필요가 있다. VDD는 전압 레퍼런스로 선택되면 VDD 라인상의 어떠한 변형이나 노이즈가 직접 DAC 출력에 영향을 줄 수 있습니다.

각 채널의 아날로그 출력은 프로그램 가능한 게인 블록이 있습니다. 레일 - 투 - 레일 출력 증폭기는 1 또는 2의 조정이 가능한 게인이 있습니다. 그러나 VDD가 전압 레퍼런스로 선택되어있다면 2의 게인이 적용되지 않습니다. 아날로그 출력 전압에 대한 수식은 수식과 수식 4-1 4-2에 있습니다.

4.7.1 OUTPUT VOLTAGE RANGE

DAC 출력 전압 범위는 전압 레퍼런스의 선택에 따라 다릅니다.

- 내부 레퍼런스 (VREF=2.048V)가 선택된 경우:
 - VOUT = 0.000V to 2.048V * 4095/4096 for Gain of 1
 - VOUT = 0.000V to 4.096V * 4095/4096 for Gain of 2
- 외부 레퍼런스 (VREF=VDD)가 선택된 경우:
 - VOUT = 0.000V to VDD

NOTE : 게인 선택 비트는 VREF = VDD에 대해 적용되지 않습니다. 이 경우, 1 게인이 게인 선택 비트 설정에 관계없이 사용된다.

EQUATION 4-1: V_{OUT} FOR V_{REF} = INTERNAL REFERENCE

$$V_{OUT} = \frac{(V_{REF} \times D_n)}{4096} \times G_x \leq V_{DD}$$

Where:

- V_{REF} = 2.048V for internal reference selection
- D_n = DAC input code
- G_x = Gain Setting

EQUATION 4-2: V_{OUT} FOR V_{REF} = V_{DD}

$$V_{OUT} = \frac{(V_{DD} \times D_n)}{4096}$$

Where:

- D_n = DAC input code

4.8 Output Voltage Update

다음과 같은 이벤트는 출력 레지스터 (V_{OUT})을 업데이트 :

- /LDAC 핀을 "Low"로 : 모든 DAC 채널을 업데이트시킴.
- /UDAC 비트를 "Low"로 : 선택한 채널만 업데이트시킴.
- General call 소프트웨어 업데이트 명령 :
모든 DAC 채널을 업데이트시킨다.
- 파워 - 온 리셋 또는 general call 리셋 명령 :
입력 및 출력 레지스터는 모두 EEPROM 데이터로 업데이트됩니다. 모든 채널은 영향을받습니다.

4.8.1 LDAC PIN AND UDAC BIT

사용자는 입력 DAC가 출력 DAC 레지스터 (V_{OUT})에 업로드하기 위해, /LDAC 핀 또는 /UDAC 비트를 사용할 수 있습니다.

그러나, /LDAC가 모든 채널에 영향을 미치는 반면, /UDAC는 선택된 채널에만 영향을 미칩니다.

/UDAC 비트는 'Fast Mode Writing'에서는 사용되지 않습니다.

표 4-5는 출력 업데이트에 대한 /LDAC 핀 및 /UDAC 비트 상태를 보여줍니다.

TABLE 4-5: LDAC AND UDAC CONDITIONS VS. OUTPUT UPDATE

LDAC Pin	UDAC Bit	DAC Output (V _{OUT})
0	0	Update all DAC channel outputs
0	1	Update all DAC channel outputs
1	0	Update a selected DAC channel output
1	1	No update

4.9 DAC Input Code Vs. DAC Analog Output

표 4-6은 DAC 입력 데이터 코드 vs. 아날로그 출력의 예를 보여줍니다.

입력 데이터의 MSB는 항상 먼저 전송하고 포맷은 unipolar binary 입니다.

TABLE 4-6: DAC INPUT CODE VS. ANALOG OUTPUT (V_{OUT})

DAC Input Code	V _{REF} = Internal (2.048 V)		V _{REF} = V _{DD}	
	Gain Selection	Nominal Output Voltage (V) (See Note 1)	Gain Selection	Nominal Output Voltage (V)
111111111111	x1	V _{REF} - 1 LSB	Ignored	V _{DD} - 1 LSB
	x2	2*V _{REF} - 1 LSB		V _{DD} - 2 LSB
111111111110	x1	V _{REF} - 2 LSB		V _{DD} - 2 LSB
	x2	2*V _{REF} - 2 LSB		2 LSB
000000000010	x1	2 LSB		2 LSB
	x2	2 LSB		1 LSB
000000000001	x1	1 LSB		1 LSB
	x2	1 LSB		0
000000000000	x1	0	0	
	x2	0		

Note 1: (a) LSB with gain of 1 = 0.5 mV, and (b) LSB with gain of 2 = 1 mV.

4.10 정상 및 파워 다운 모드

각 채널은 두 가지 작동 모드가 있습니다. :

아날로그 전압을 사용할 수 있는 (a)일반 모드 와

절전을위한 내부 회로의 대부분을 해제하는 (b)파워 다운 모드

사용자가 파워 다운 선택 비트를 (PD1 및 PD0)으로 설정하여 개별적으로 각 채널의 작동 모드를 선택할 수 있습니다. 예를 들어, 다른 모든 채널에 대해 파워 다운 모드를 선택하는 동안, 사용자가 채널A에 표준 모드를 선택할 수 있다.

파워-다운 비트를 쓰는데에 대한 자세한 설명은 5.6 절 "Write Commands for DAC Resistors and EEPROM"을 보라.

파워 다운된 채널의 내부 회로의 대부분은 꺼진다. 그러나, 내부 전압 레퍼런스 회로는 파워 다운 모드에 의해 영향을받지 않습니다.

모든 채널이 외부 레퍼런스 (VREF = VDD)로 선택된 경우에만, 내부 전압 레퍼런스 회로가 꺼진다.

파워 다운 모드 동안 장치 동작 :

- 파워 다운 채널은 회로의 대부분을 꺼버리므로서 절전 상태에 있게된다.
 - 파워 다운 채널에서는 어떤 아날로그 전압 출력도 없음
 - 파워 다운 채널의 출력 (VOUT) 핀은 알려진 저항 부하로 전환됩니다.
저항 부하의 값은 파워 다운 비트 (PD1 및 PD0)의 상태에 의해 결정됩니다.
- 표 4-7는 전원 다운 비트 설정의 결과를 보여줍니다

TABLE 4-7: POWER-DOWN BITS

PD1	PD0	Function
0	0	Normal Mode
0	1	1 kΩ resistor to ground (Note 1)
1	0	100 kΩ resistor to ground (Note 1)
1	1	500 kΩ resistor to ground (Note 1)

Note 1: In Power-Down mode: V_{OUT} is off and most of internal circuits in the selected channel are disabled.

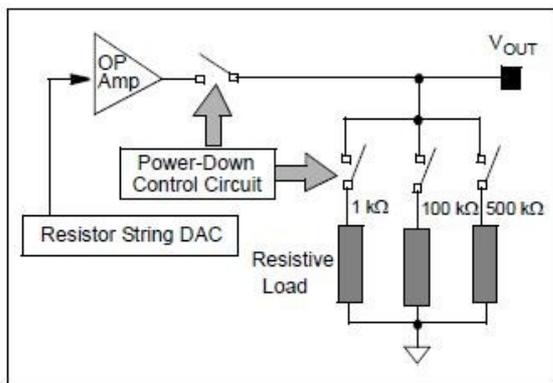


FIGURE 4-1: Output Stage for Power-Down Mode.

- DAC 레지스터와 EEPROM을 모두 내용이 변경되지 않습니다
- 4 채널 모두 파워 다운 상태이고 VDD가 전압 레퍼런스로 선택되었을 때, 40nA(일반적)보다 작게 Draw하라.

파워 다운 모드 동안 영향을받지 않는 회로 :

- I2C 직렬 인터페이스 회로는 마스터로부터 명령을 받기 위해서는 활성(Active) 상태로 유지
- 내부 전압 레퍼런스 회로는, 하나 이상의 채널에 의해 레퍼런스로 선택되어있는 경우, Turn On 상태를 유지.

파워 다운 모드를 벗어나는 경우 :

다음과 같은 명령에 의해 파워-다운 모드를 즉시 벗어난다:

- 정상 모드에서 쓰기 명령을 사용. 오직 선택된 채널만 영향을 받습니다
- I2C General Call Wake-Up 명령. 모든 채널이 영향을 받습니다

- I2C General Call Reset 명령. 이것은 조건부 경우입니다.
configuration 비트와 DAC의 입력 코드가 EEPROM으로부터 업로드됨에 따라,
EEPROM의 파워 다운 비트 설정에 의해 파워 다운 모드를 벗어난다.
모든 채널은 영향을받습니다

DAC 동작 모드가 파워-다운 모드에서 일반 모드로 변경될 경우,
아날로그 출력을 사용할 때까지 얼마의 시간이 지연될 수 있습니다.
출력 전압에 대한 일반적인 시간 지연은 약 4.5 μ s이다.
이 시간 지연은 I2C 시리얼 통신 명령의 ACK 펄스에서 아날로그 출력 (VOUT)의 처음까지 측정됩니다.
이 시간 지연은 출력 안전화 시간 규격에 포함되지 않습니다.
자세한 내용은 섹션 2.0 "일반 성능 곡선"을 참조하십시오.

5.0 I2C 시리얼 인터페이스 통신

MCP4728 장치는 두 개의 와이어 I2C 직렬 인터페이스를 사용합니다.
장치가 I2C 버스 라인에 연결되어있는 경우, 장치는 슬레이브 장치로 작동합니다.
이 디바이스는 표준, 빠르고 고속 모드를 지원합니다.
다음 절에서는 I2C 시리얼 인터페이스 명령을 사용하여 MCP4728 장치와 통신하는 방법에 대해 설명합니다.

5.1 Overview of I2C Serial Interface Communications

하드웨어 연결도의 예제는 그림 7-1에 표시됩니다.
버스에 데이터를 보내는 장치를 transmitter, 데이터를 받는 장치를 receiver로 정의됩니다.
버스는 직렬 클럭(SCL)을 생성,버스 액세스를 제어하고 START/STOP 상태를 생성하는
마스터 (MCU) 장치에 의해 제어되어야 한다.

마스터 (MCU)와 슬레이브 (MCP4728)에는 송신기(transmitter) 또는 수신기(receiver)로 작동할 수 있지만
마스터 장치가 작동되는 모드를 결정합니다.

통신은 시작 비트를 전송하고 슬레이브 (MCP4728) 주소 바이트를 전송하는 마스터 (MCU)에 의해 시작된다.
전송된 첫 번째 바이트는 항상 장치 코드 (1100), 주소 비트 (A2, A1, A0) 및 R/W 비트를 포함하는
슬레이브 (MCP4728) 주소 바이트입니다.
MCP4728 장치의 코드는 1100이며, 주소 비트는 사용자가 쓰기 권한이 있습니다.

MCP4728 장치가 읽기 명령 (R/W = 1)을 받으면 그것은 순차적으로 DAC의 입력 레지스터와 EEPROM의 내용을 전송합
니다.
장치 (R/W = 0)에 쓸 경우, 장치는 다음 바이트에서 쓰기 명령형태의 비트들을 기대됩니다.
읽기 및 다양한 쓰기 명령들은 다음 절에서 설명합니다.

MCP4728 장치는 세 I2C 시리얼 통신 운영 모드를 지원합니다 :

- 표준 모드 : 최대 100 kbit/s 까지의 속도에 이름
- 고속 모드 : 최대 400 kbit/s 까지의 속도에 이름
- 고속 모드 (HS 모드) : 최대 3.4 Mbit/s 까지의 속도에 이름

I2C 스펙의 자세한 정보는 필립스 I2C 문서를 참조하십시오.

5.1.1 HIGH-SPEED (HS) MODE

I2C 사양은 고속 모드 장치가 고속 (3.4 Mbit / s)의 모드에서 작동되도록 '활성화'되어야함을 요구합니다.

이것은 시작 비트를 따라 00001XXX의 특별한 어드레스 바이트를 보냄으로써 이루어집니다.

XXX 비트는 고속 모드 마스터의 특징이다.

이 바이트는 고속 마스터 모드 코드 (HSMMC)로 언급됩니다.

MCP4728 장치는 이 바이트를 인식하지 않습니다.

그러나 이 명령을 수신하는 즉시 장치는 HS 모드로 전환 및 최대 3.4Mbit/s 속도로 SDA 및 SCL의 라인에서 통신할 수 있습니다.

장치는 다음 STOP 조건에 HS 모드를 전환됩니다.

HS 모드, 또는 기타 I2C 모드에 대한 자세한 내용은 필립스 I2C 규격을 참조하십시오.

5.2 I2C BUS CHARACTERISTICS

I2C 시리얼 통신의 사양은 다음과 같은 버스 프로토콜을 정의합니다 :

- 버스가 not busy인 경우에만, 데이터 전송이 시작됩니다
- 클럭 라인이 "High" 때마다 데이터 전송 중에 데이터 라인은 안정적으로 유지되어야 합니다.
데이터 라인의 변화는 클럭 라인이 "High" 상태에서 START 또는 STOP으로 해석됩니다

따라서 다음과 같은 버스 조건은 **그림 5-1**를 사용하여 정의하고있다.

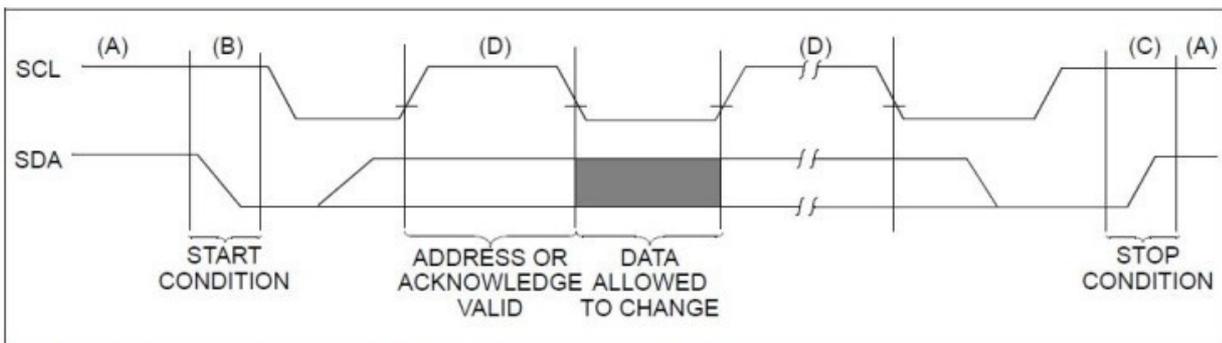


FIGURE 5-1: Data Transfer Sequence On The Serial Bus.

5.2.1 BUS NOT BUSY (A)

데이터 및 클럭 라인 모두 HIGH로 유지한다.

5.2.2 START DATA TRANSFER (B)

클럭 (SCL)가 HIGH인 동안, SDA 라인의 HIGH ->LOW 변환은 START 조건을 결정됩니다.

모든 명령은 START 조건으로 선행되어야 합니다.

5.2.3 STOP DATA TRANSFER (C)

클럭 (SCL)가 HIGH인 상태에서, SDA 라인의 HIGH->LOW 전환은 STOP 조건을 결정합니다.

모든 작업이 STOP 상태로 종료되어야합니다.

5.2.4 DATA VALID (D)

시작 조건 이후 데이터 라인은 클럭 신호의 HIGH 구간의 기간 동안 안정되면,

데이터 라인의 상태가 유효한 데이터(valid data)를 나타냅니다.

라인 데이터는 클럭 신호의 LOW 구간 동안 변경되어야 합니다.

데이터 비트 당 하나의 클럭 펄스가 있다.

각각의 데이터 전송은 START 상태로 시작하고, STOP 상태로 종료됩니다.

5.2.5 ACKNOWLEDGE

Address된 각각의 수신 장치는 각 바이트의 수신 이후 Acknowledge(ACK)를 발생해야 한다.

마스터 장치는 이 인식(ACK)비트와 관련된 추가적인 클럭 펄스를 발생시켜야 한다.

ACK(Acknowledges)하는 장치는 ACK 관련 클럭 펄스의 HIGH구간 동안 SDA 라인이 안정적인 LOW인 상태를 유지하는 방식으로, ACK 클럭 펄스동안 SDA라인을 풀다운 해야만 한다.

물론, setup 및 hold time은 고려하셔야 합니다.

읽는 동안, Master는 Slave에 클럭 아웃된 마지막 바이트 상의 ACK 비트를 발생시키지 않음으로서 Slave에 데이터의 End를 보내야만 한다.

이 경우, 슬레이브 (MCP4728)는 마스터가 STOP 조건을 생성하도록, 데이터 라인을 HIGH로 놓는다.

5.3 MCP4728 Device Addressing

주소 바이트는 마스터 장치로부터 시작 조건에 따라받은 첫 번째 바이트입니다.

주소 바이트의 첫 번째 부분은, MCP4728 장치를 1100로 설정하는 4 비트 장치 코드로 구성되어 있습니다.

장치 코드로는 사용자가 프로그램한 3개의 I2C 어드레스 비트(A2, A1, A0)가 옵니다.

세 개의 어드레스 비트가 사용자의 응용 기판에서 프로그램될 수 있지만, 사용자는 제품을 주문 과정에서 어드레스 비트를 지정할 수 있습니다.

사용자의 요청이 아무도 없다면, 세 가지 어드레스 비트가 "000"인 공장 기본 설정이 EEPROM에 프로그래밍됩니다.

세 개의 어드레스 비트는 8 고유한 주소를 허용합니다.

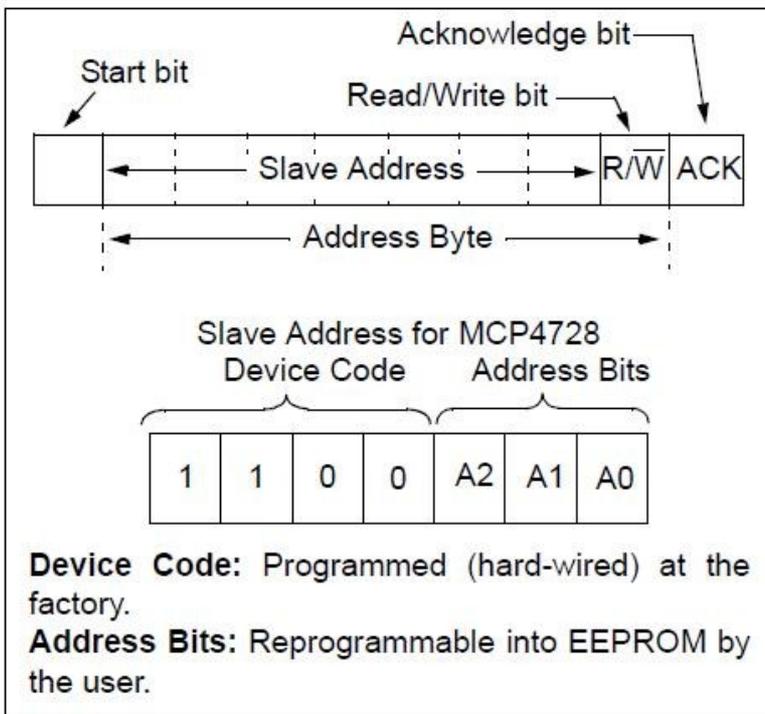


FIGURE 5-2: Device Addressing.

5.3.1 PROGRAMMING OF I2C ADDRESS BITS

어드레스 비트 프로그래밍을 요청되지 않은 경우 고객이 먼저 새로운 MCP4728 장치를 받으면 기본 어드레스 비트 설정은 "000"입니다.

고객은 "쓰기 어드레스 비트" 명령을 사용하여 EEPROM에 I2C 어드레스 비트를 재설정할 수 있습니다.

이 쓰기 명령은 현재의 어드레스 비트를 필요합니다.

어드레스 비트를 알 수 없는 경우, 사용자는 "general call Read Address" 명령을 보냄으로써 그것들을 찾을 수 있습니다.

/LDAC 핀은 또한 프로그래되거나 현재 주소를 읽을만한 장치를 선택하는데 사용됩니다.

다음의 단계들은 I2C주소 프로그램을 위해 필요하다.

- (a) "General Call Read Address" 명령을 사용하여 어드레스 비트를 읽습니다. (주소가 알려지지 않은 경우)
- (b) "I2C 주소 비트를 쓰기" 명령을 사용하여 I2C 어드레스 비트를 씁니다.

쓰기 주소 명령은, 입력 레지스터와 EEPROM내의 모두에서, 새 주소와 현재 주소를 대체합니다.

어드레스 비트들을 읽는 데에 관련하여 자세한 내용은 Section 5.4.4 "General Call Read Address Bits"를 참조하고, 어드레스 비트들을 쓰는 데에 관련하여 자세한 내용은 Section 5.6.8 "Write Command: Write I2C Address bits (C2=0, C1=1, C0=1)"를 참조하라.

5.4 I2C General Call Commands

장치는 the general call address 명령 (첫 번째 바이트에 0x00)을 인식한다.

general call address의 의미는 항상 2번째 바이트에 명시되어 있습니다.

I2C 스펙은 두 번째 바이트에 "00000000"(00h)의 사용을 허용하지 않습니다.

general call 사양의 자세한 내용은 필립스 I2C 문서를 참조하십시오.

MCP4728 장치는 다음과 같은 I2C General Calls을 지원합니다:

- General Call Reset
- General Call Wake-Up
- General Call Software Update
- General Call Read Address Bits

5.4.1 GENERAL CALL RESET

두 번째 바이트는 "00000110"(06h) 인 경우 General Call Reset이 발생합니다.

이 바이트의 인식에 있어서, 장치는 현재 변환을 그만두고 다음 작업을 수행합니다 :

- 파워-온-리셋(POR)과 유사한 내부 리셋.
EEPROM의 내용들은 각각의 DAC 입력 및 출력 레지스터들로 즉시 로드됩니다
- VOUT은 즉시 /LDAC 핀 조건과 상관없이 이용 가능합니다.

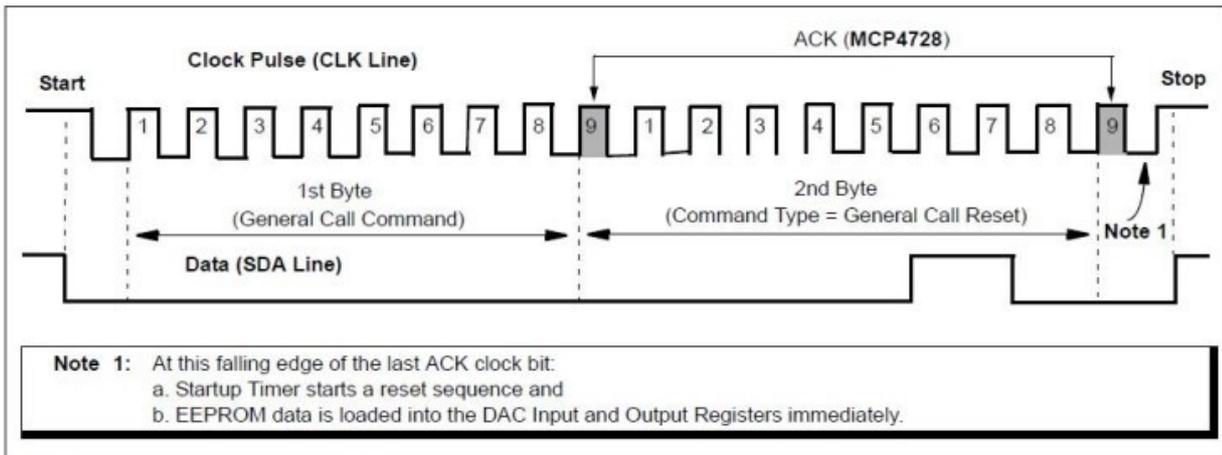


FIGURE 5-3: General Call Reset.

5.4.2 GENERAL CALL WAKE-UP

두 번째 바이트는 "00001001"(09h) 인 경우, 장치는 파워 다운 비트 (PD1, PD0 = 0,0)를 리셋합니다.

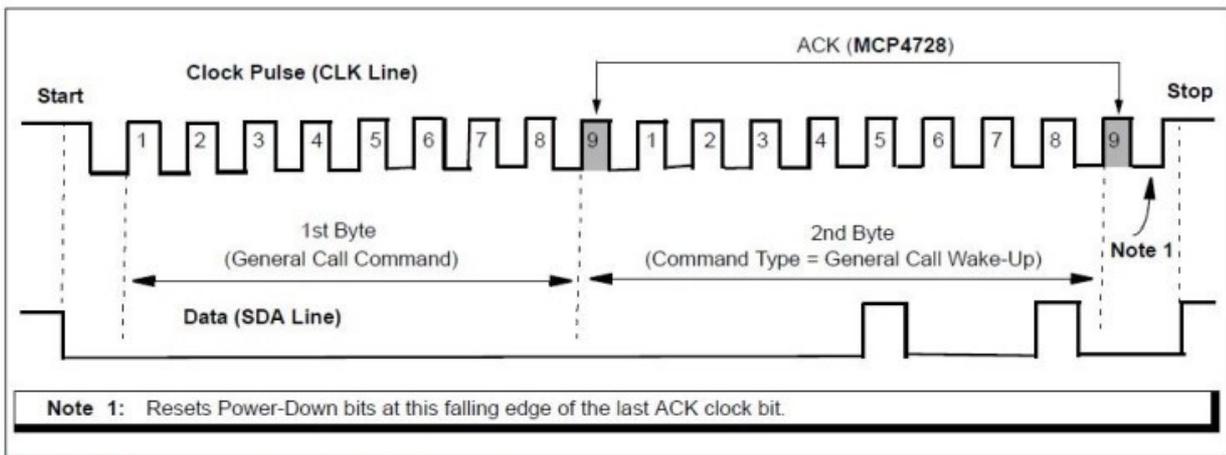


FIGURE 5-4: General Call Wake-Up.

5.4.3 GENERAL CALL SOFTWARE UPDATE

두 번째 바이트가 "00001000"(08h)인 경우, 장치는 동시에 모든 DAC 아날로그 출력 (V_{OUT})을 업데이트 합니다.

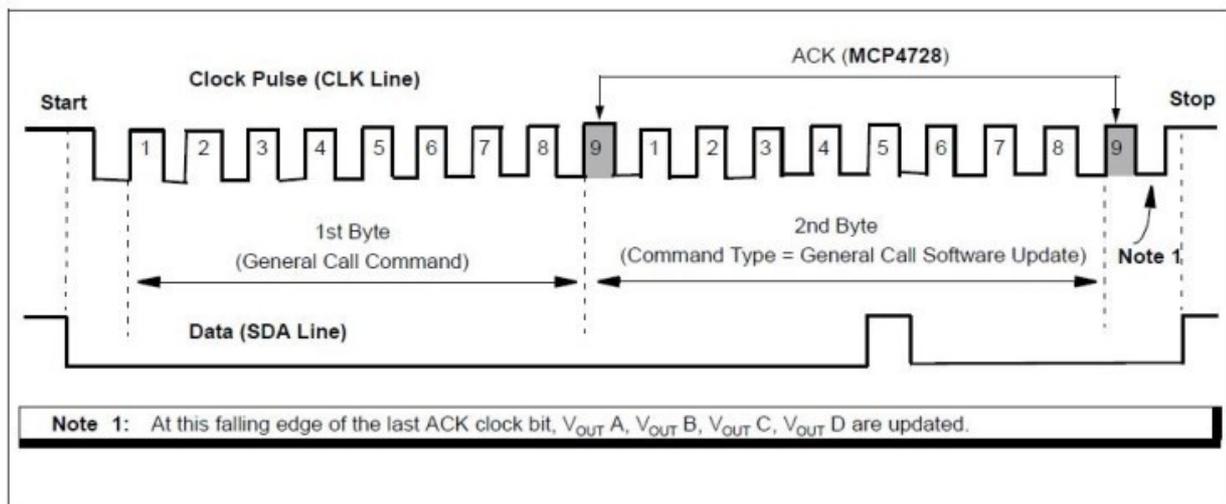


FIGURE 5-5: General Call Software Update.

5.4.4 GENERAL CALL READ ADDRESS BITS

이 명령은 장치의 I2C 어드레스 비트를 읽는 데 사용됩니다.

두 번째 바이트가 "00001100"(0Ch)인 경우, 장치는 EEPROM과 레지스터에 저장되어있는 해당 어드레스 비트를 출력합니다.

이 명령은 I2C 버스에서 읽을만한 장치를 선택하는데에 $/LDAC$ 핀을 사용합니다.

$/LDAC$ 핀은 두 번째 바이트의 8번째 부정(Negative) 펄스 중에 "HIGH"-->"LOW"의 로직 변환을 필요로 하고, 3번째 바이트의 끝까지 "Low"를 유지한다.

이 명령의 최대 클럭 속도 400 kHz에서입니다.

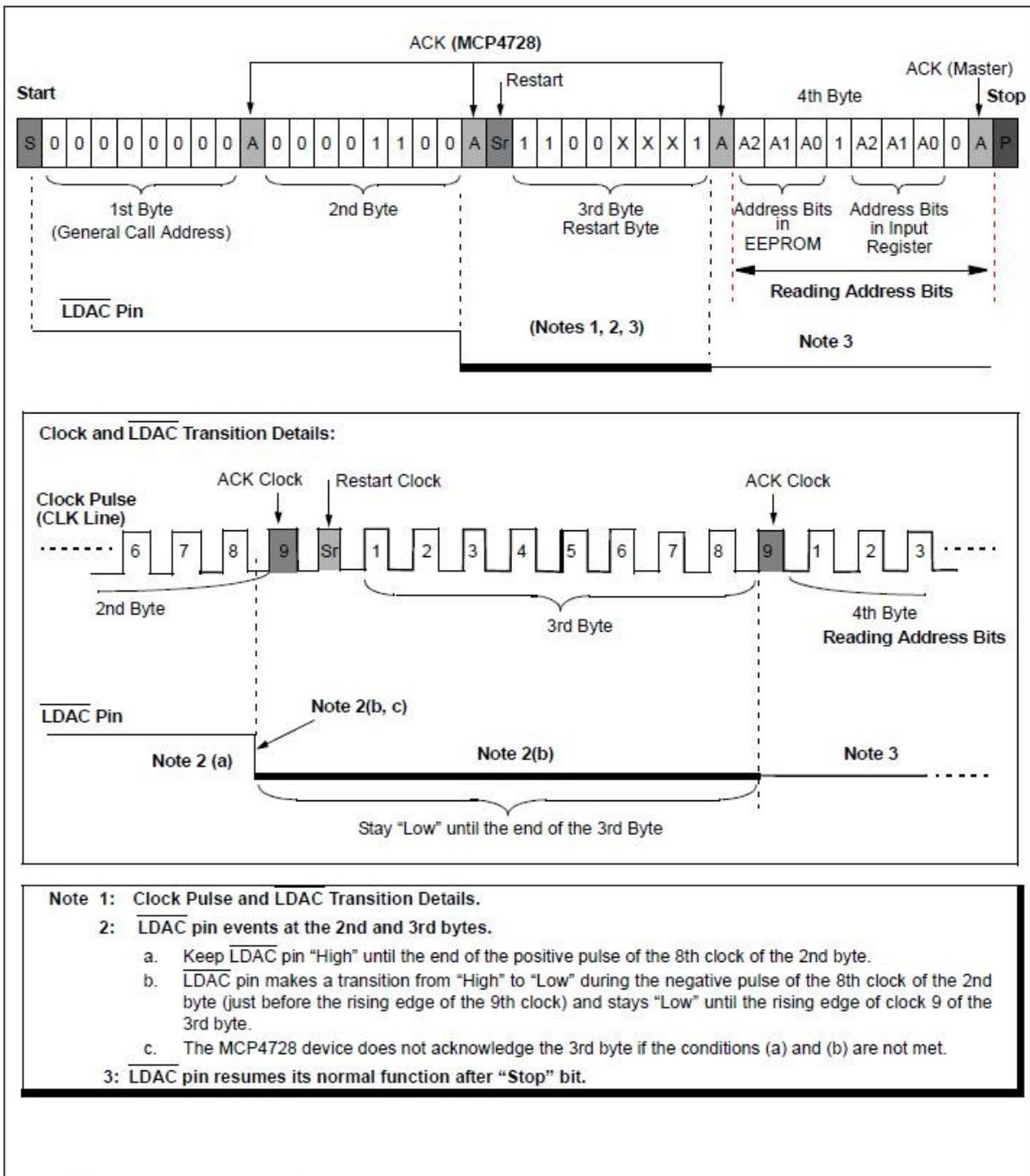


FIGURE 5-6: General Call Read I²C Address.

오늘은 여기까지... 술먹으러 가야해서.. ^^

2012-04-05 목요일 오전 9:06 Updating..

우왕 목요일에 식목일~~ 나무심자~ ㅋㅋ

5.5 Writing and Reading Registers and EEPROM

마스터 (MCU)는 I2C 인터페이스 명령을 사용하여 DAC 입력 레지스터 또는 EEPROM을 쓰거나 읽을 수 있습니다. 다음 섹션은 I2C 인터페이스를 사용하여 DAC 레지스터와 EEPROM을 쓰거나 읽을 수 있는 통신 사례를 설명합니다.

5.6 Write Commands for DAC Registers and EEPROM

표 5-1은 쓰기 명령 유형 및 그들의 기능을 요약한 것입니다.

쓰기 명령은 3가지의 쓰기 명령 타입 비트 (C2, C1, C0)와 2가지의 쓰기 함수 비트 (W1, W0)를 사용하여 정의됩니다.

레지스터 선택 비트 (DAC1, DAC0)은 DAC 채널을 선택하는 데 사용됩니다.

TABLE 5-1: WRITE COMMAND TYPES

Command Field			Write Function		Command Name	Function
C2	C1	C0	W1	W0		
Fast Mode Write						
0	0	X	Not Used		Fast Write for DAC Input Registers	This command writes to the DAC input registers sequentially with limited configuration bits. The data is sent sequentially from channels A to D. The input register is written at the acknowledge clock pulse of the channel's last input data byte. EEPROM is not affected. (Note 1)
Write DAC Input Register and EEPROM						
0	1	0	0	0	Multi-Write for DAC Input Registers	This command writes to multiple DAC input registers, one DAC input register at a time. The writing channel register is defined by the DAC selection bits (DAC1, DAC0). EEPROM is not affected. (Note 2)
			1	0	Sequential Write for DAC Input Registers and EEPROM	This command writes to both the DAC input registers and EEPROM sequentially. The sequential writing is carried out from a starting channel to channel D. The starting channel is defined by the DAC selection bits (DAC1 and DAC0). The input register is written at the acknowledge clock pulse of the last input data byte of each register. However, the EEPROM data is written altogether at the same time sequentially at the end of the last byte. (Note 2),(Note 3)
			1	1	Single Write for DAC Input Register and EEPROM	This command writes to a single selected DAC input register and its EEPROM. Both the input register and EEPROM are written at the acknowledge clock pulse of the last input data byte. The writing channel is defined by the DAC selection bits (DAC1 and DAC0). (Note 2),(Note 3)
Write I²C Address Bits (A2, A1, A0)						
0	1	1	Not Used		Write I ² C Address Bits	This command writes new I ² C address bits (A2, A1, A0) to the DAC input register and EEPROM.
Write V_{REF}, Gain, and Power-Down Select Bits (Note 4)						
1	0	0	Not Used		Write Reference (V _{REF}) selection bits to Input Registers	This command writes Reference (V _{REF}) selection bits of each channel.
1	1	0	Not Used		Write Gain selection bits to Input Registers	This command writes Gain selection bits of each channel.
1	0	1	Not Used		Write Power-Down bits to Input Registers	This command writes Power-Down bits of each channel.

- Note 1:** The analog output is updated when LDAC pin is (or changes to) "Low". UDAC bit is not used for this command.
- Note 2:** The DAC output is updated when LDAC pin or UDAC bit is "Low".
- Note 3:** The device starts writing to the EEPROM on the acknowledge clock pulse of the last channel. The device does not execute any command until RDY/BSY bit comes back to "High".
- Note 4:** The input and output registers are updated at the acknowledge clock pulse of the last byte. The update does not require LDAC pin or UDAC bit conditions. EEPROM is not affected.

5.6.1 FAST WRITE COMMAND (C2=0, C1=0, C0=X, X = DON'T CARE)

빠른 쓰기 명령은 입력 DAC 레지스터를 채널 A에서 D까지 순차적으로 업데이트하는데 사용됩니다.

EEPROM 데이터는 이 명령에 의해 영향을 받지 않는다.

단지 제한된 데이터 비트만으로 입력 레지스터를 업데이트 할 수 있기 때문에, 이 명령을 "Fast Write"라고 부릅니다.

오직 파워 다운 모드 선택 비트 (PD1 및 PD0)와 12비트 DAC의 입력 데이터를 쓸 수 있습니다.

입력 레지스터는 각 채널의 마지막 데이터 바이트의 ACK 펄스에서 업데이트 됩니다.

그림 5-7은 Fast Write 명령의 예를 보여준다.

Updating Analog Outputs:

- /LDAC핀이 채널 D의 마지막 바이트 전에 "HIGH"일때, 어느 때에나 /LDAC핀을 "LOW"로 함으로써 모든 아날로그 출력이 동시에 업데이트됩니다.
- 명령이 /LDAC핀이 "LOW"인 상태로 시작되면, 채널의 아날로그 출력이 채널의 마지막 바이트의 ACK 클럭 펄스의 하강 에지에서 업데이트됩니다.
- the General Call 소프트웨어 업데이트 명령을 보내기 : 이 명령은 동시에 모든 채널을 업데이트 합니다.

Note : /UDAC 비트는 이 명령에서 사용되지 않는다.

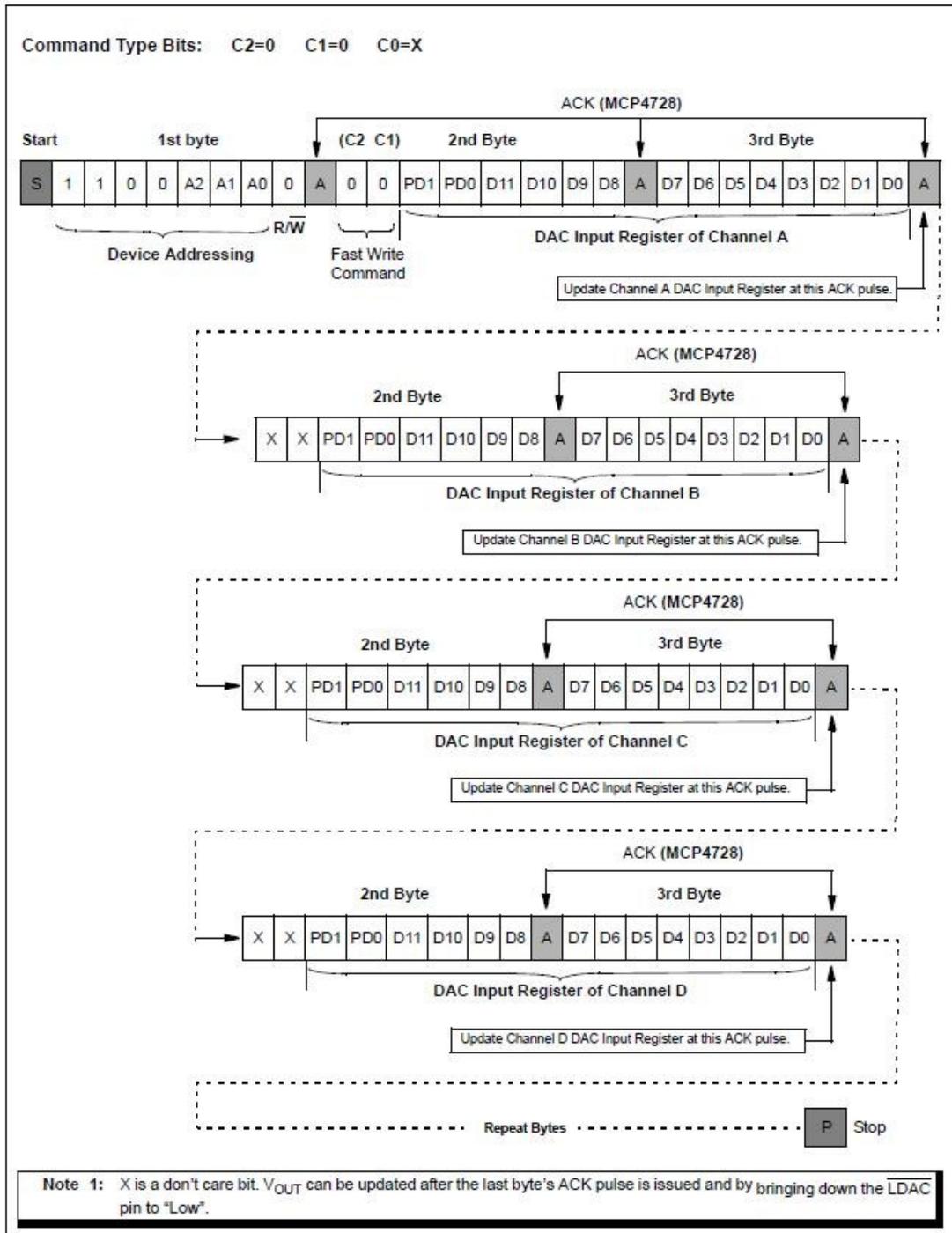


FIGURE 5-7: Fast Write Command: Write DAC Input Registers Sequentially from Channel A to D.

5.6.2 MULTI-WRITE COMMAND: WRITE DAC INPUT REGISTERS

(C2=0, C1=1, C0=0; W1=0, W0=0)

이 명령은 DAC 입력 레지스터를 1번에 1개를 쓰는데 사용됩니다.

EEPROM 데이터는 이 명령에 의해 영향을 받지 않는다.

DAC 선택 비트 (DAC1, DAC0)는 쓸 DAC 채널을 선택합니다.

오직 선택된 채널만 영향을 받습니다.

반복된 바이트가 더 많은 다중 DAC 레지스터를 작성하는 데 사용됩니다.

세 번째와 네 번째 바이트의 D11-D0 비트는 선택한 DAC 채널의 DAC의 입력 데이터입니다.

바이트 2-4는 다른 채널에 대해 반복될 수 있습니다.

그림 5-8는 다중 쓰기 명령의 예제를 보여줍니다.

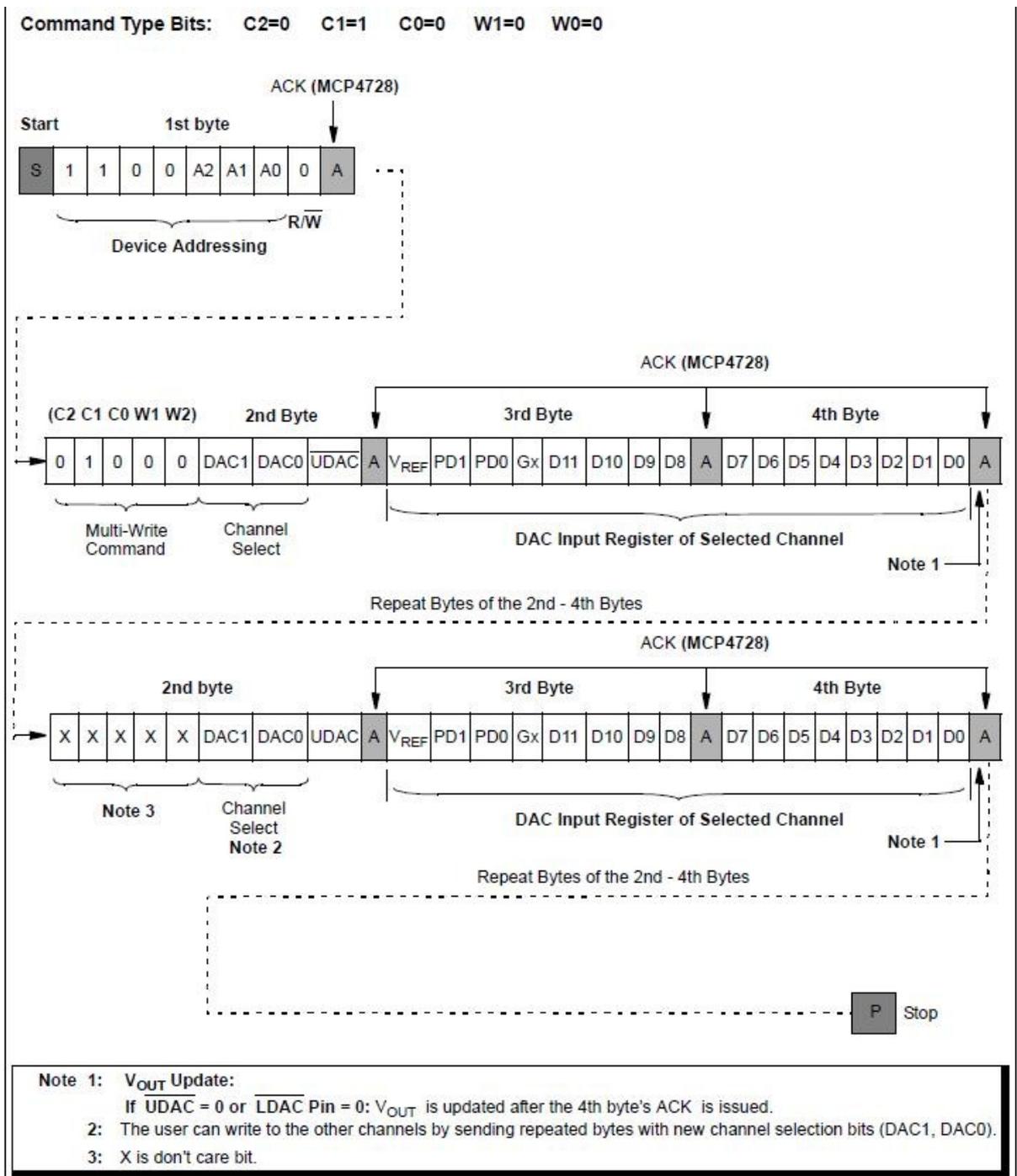
Updating Analog Outputs:

아날로그 출력은 4번째 바이트의 ACK 클럭 펄스의 하강 에지 이후에, 다음 이벤트 중 하나에 의해 업데이트할 수 있습니다.

- a. /LDAC 핀 또는 /UDAC 비트가 "LOW"일때.
- b. /UDAC 비트가 "HIGH" 라면, 어떠한 때에도 /LDAC핀을 "LOW"로 떨어뜨리는 것.
- c. the General Call Software Update 명령을 보내는 것.

Note : /UDAC 비트는 입력 레지스터를 출력 레지스터에 업로드할 때 효율적으로 사용되지만, 이 비트는 단지 하나의 선택된 채널에만 영향을 끼칩니다. 반면에 /LDAC 핀과 General Call Software Update 명령은 모든 채널에 영향을 미칩니다.

FIGURE 5-8: Multi-Write Command: Write Multiple DAC Input Registers.



5.6.3 SEQUENTIAL WRITE COMMAND :

시작채널부터 채널 D까지 입력 레지스터들과 EEPROM을 순차적으로 쓰기 (C2=0, C1=1, C0=0; W1=1, W0=0)

장치가 이 명령을 받으면, 이것은 입력 데이터를 DAC입력 레지스터에, 시작 채널부터 채널-D까지 쓰고, 또한 순차적으로 EEPROM에 기록합니다.

시작 채널은 DAC1,DAC0 비트에 의해 결정됩니다.

Table 5-2는 순차 쓰기 명령의 채널선택 비트들의 기능을 보여줍니다.

장치가 EEPROM을 쓰고 있을 때, EEPROM 쓰기 동작이 완료될 때까지는 RDY/BSY 비트는 "Low"로 나타납니다.

RDY/BSY 비트 Flag의 상태는 읽기 명령과 RDY/BSY 핀에 모니터링됩니다.

어떤 새로운 명령이 EEPROM 쓰기 동작 중(RDY/BSY 비트 : LOW)에 들어온다면 무시됩니다.

그림 5-9는 순차쓰기명령의 예를 보여줍니다.

TABLE 5-2: DAC CHANNEL SELECTION BITS FOR SEQUENTIAL WRITE COMMAND

DAC1	DAC0	Channels
0	0	Ch. A - Ch. D
0	1	Ch. B - Ch. D
1	0	Ch. C - Ch. D
1	1	Ch. D

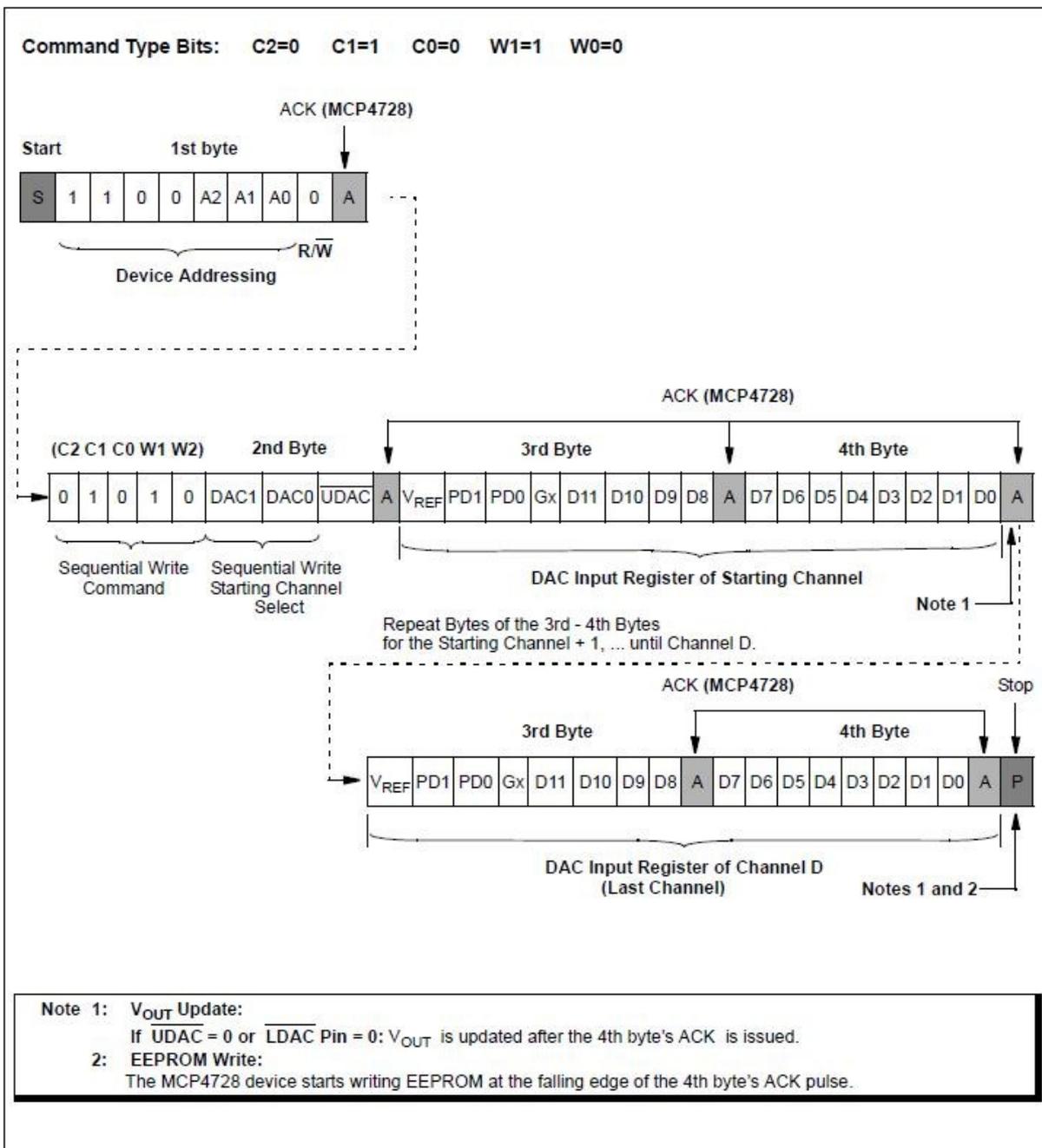


FIGURE 5-9: Sequential Write Command: Write DAC Input Registers and EEPROM Sequentially from Starting Channel to Channel D. The sequential input register starts with the "Starting Channel" and ends at Channel D. For example, if DAC1:DAC0 = 00, then it starts with channel A and ends at channel D. If DAC1:DAC0 = 01, then it starts with channel B and ends at Channel D. Note that this command can send up to 10 bytes including the device addressing and command bytes. Any byte after the 10th byte is ignored.

Updating Analog Outputs:

아날로그 출력들은 4번째 바이트의 ACK클럭펄스의 하강 에지 이후에 다음과 같은 이벤트 중 하나에 의해 업데이트됩니다.

- /LDAC 핀 또는 /UDAC 비트가 "LOW"일때.
- 만약 /UDAC 비트가 "High"이면 /LDAC 핀을 어느때이건 "Low"로 떨어뜨릴때.
- General Call Software 업데이트 명령을 보냄으로써

Note : /UDAC 비트는 입력 레지스터를 출력레지스터로 업로드하는데 효과적으로 사용되지만 선택된 채널에만 영향을 미친다.

반면에 /LDAC핀 과 general Call Software Update 명령은 모든 채널에 영향을 미친다.

5.6.4 SINGLE WRITE COMMAND:

WRITE A SINGLE DAC INPUT REGISTER AND EEPROM

(C2=0, C1=1, C0=0; W1=1, W0=1)

장치가 이 명령을 받으면 선택된 single DAC 입력 레지스터 와 EEPROM에 입력 데이터를 쓴다.
 채널은 채널 선택 비트(DAC1,DAC0)에 의해 선택된다.
 채널 선택 비트의 기능에 대해서는 Table 5-2를 보라.
 그림 5-10은 single 쓰기 명령의 예를 보여줍니다.

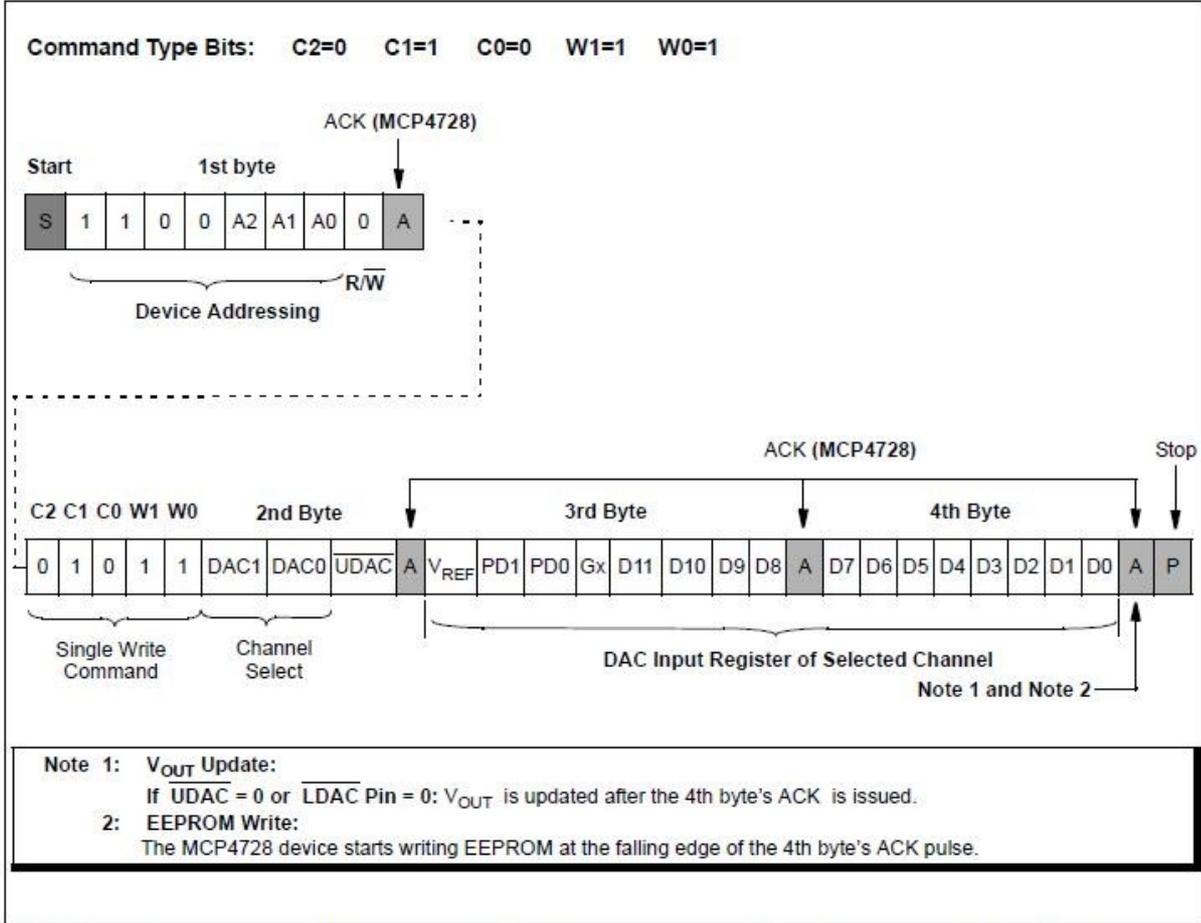


FIGURE 5-10: Single Write Command: Write to a Single DAC Input Register and EEPROM.

Updating Analog Outputs:

아날로그 출력들은 4번째 바이트의 ACK클럭펄스의 하강 에지 이후에 다음과 같은 이벤트 중 하나에 의해 업데이트됩니다.

- /LDAC 핀 또는 /UDAC 비트가 "LOW"일때.
- 만약 /UDAC 비트가 "High"이면 /LDAC 핀을 어느때이건 "Low"로 떨어뜨릴때.
- General Call Software 업데이트 명령을 보냄으로써

Note : /UDAC 비트는 입력 레지스터를 출력레지스터로 업로드하는데 효과적으로 사용되지만 선택된 채널에만 영향을 미친다.
 반면에 /LDAC핀 과 general Call Software Update 명령은 모든 채널에 영향을 미친다.

5.6.5 WRITE COMMAND: SELECT VREF BIT (C2=1, C1=0, C0=0)

장치가 이 명령을 받으면 각 채널의 DAC 전압 레퍼런스 선택 비트(Vref)를 업데이트한다.
 EEPROM 데이터는 이명령에 의해 영향받지 않는다.
 해당 채널의 아날로그 출력은 마지막 바이트의 ACK 펄스 이후 업데이트된다.
 그림 5-12는 VREF 비트들에 대한 쓰기 명령의 예를 보여준다.

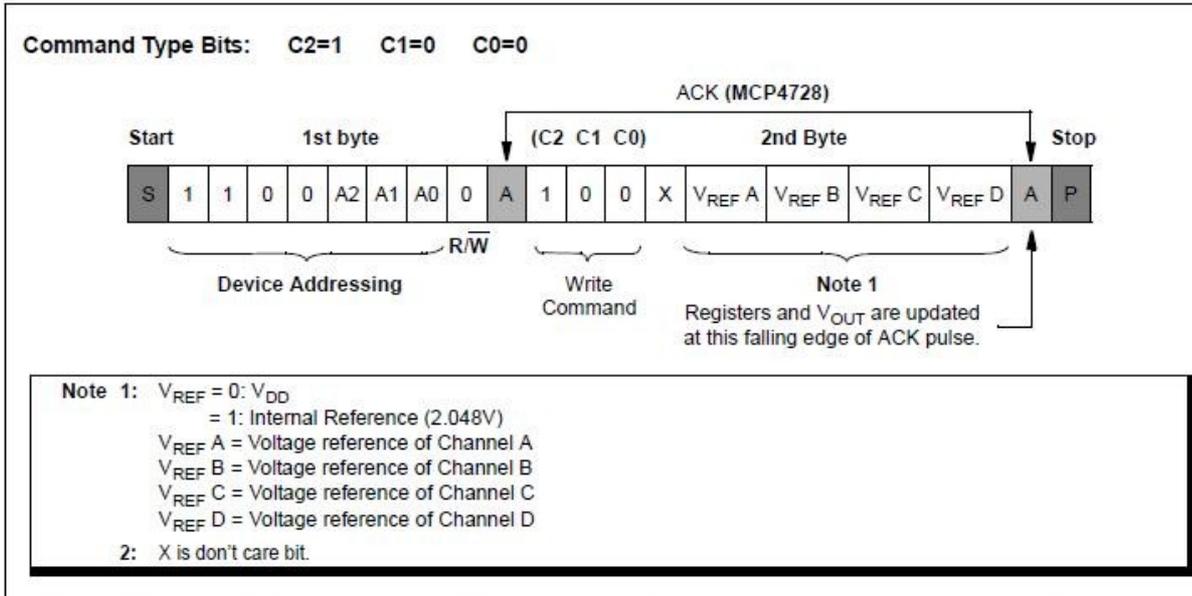


FIGURE 5-12: Write Command: Write Voltage Reference Selection Bit (V_{REF}) to the DAC Input Registers.

5.6.6 WRITE COMMAND: SELECT POWER-DOWN BITS (C2=1, C1=0, C0=1)

장치가 이 명령을 받으면 각 채널의 파워-다운 선택 비트들(PD1,PD0)을 업데이트 합니다.

EEPROM 데이터는 이명령에 의해 영향받지 않는다.

해당 채널은 마지막 바이트의 ACK 펄스 이후 업데이트된다.

그림 5-13는 선택 파워 다운 비트들에 대한 쓰기 명령의 예를 보여준다.

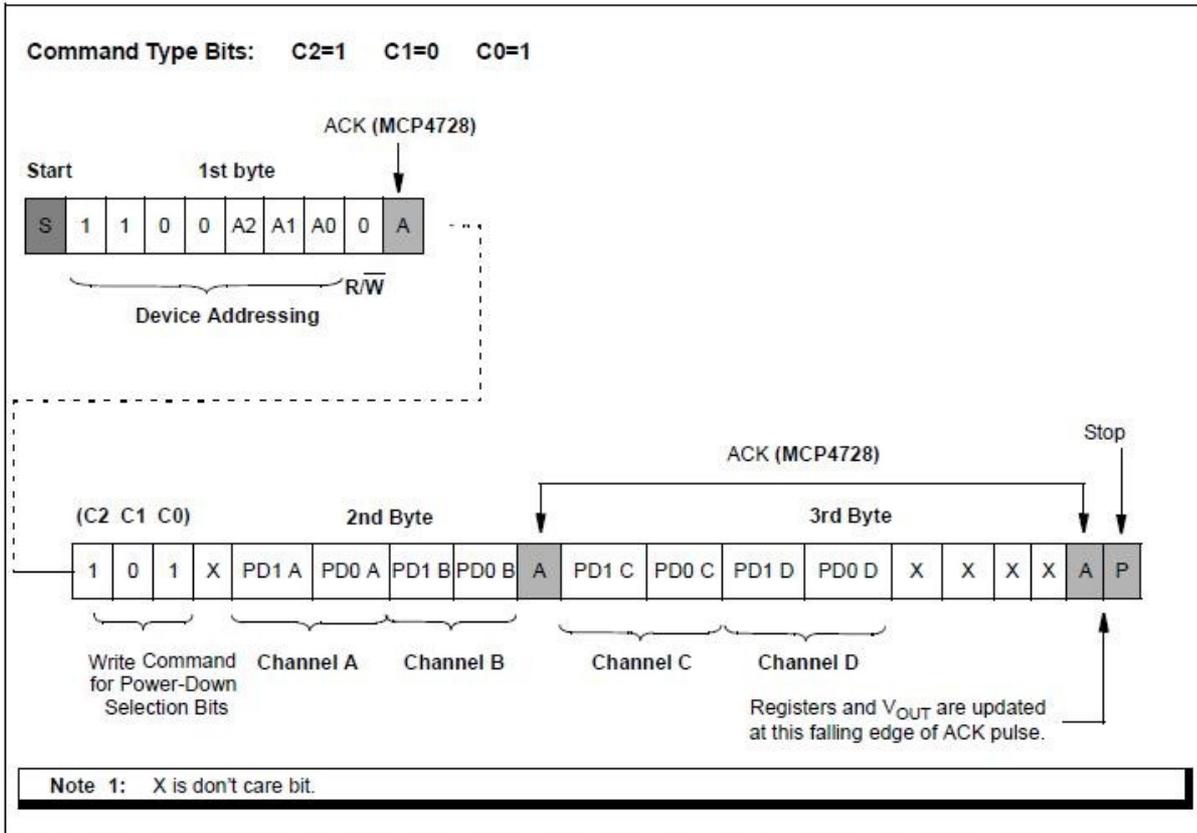


FIGURE 5-13: Write Command: Write Power-Down Selection Bits (PD1, PD0) to the DAC Input Registers. See Table 4-7 for the power-down bit setting.

5.6.7 WRITE COMMAND: SELECT GAIN BIT (C2=1, C1=1, C0=0)

장치가 이 명령을 받으면 각 채널의 게인 선택 비트들(Gx)을 업데이트 합니다.
 EEPROM 데이터는 이명령에 의해 영향받지 않는다.
 아날로그 출력은 마지막 바이트의 ACK 펄스 이후 업데이트된다.
 그림 5-14는 선택 게인 비트들에 대한 쓰기 명령의 예를 보여준다.

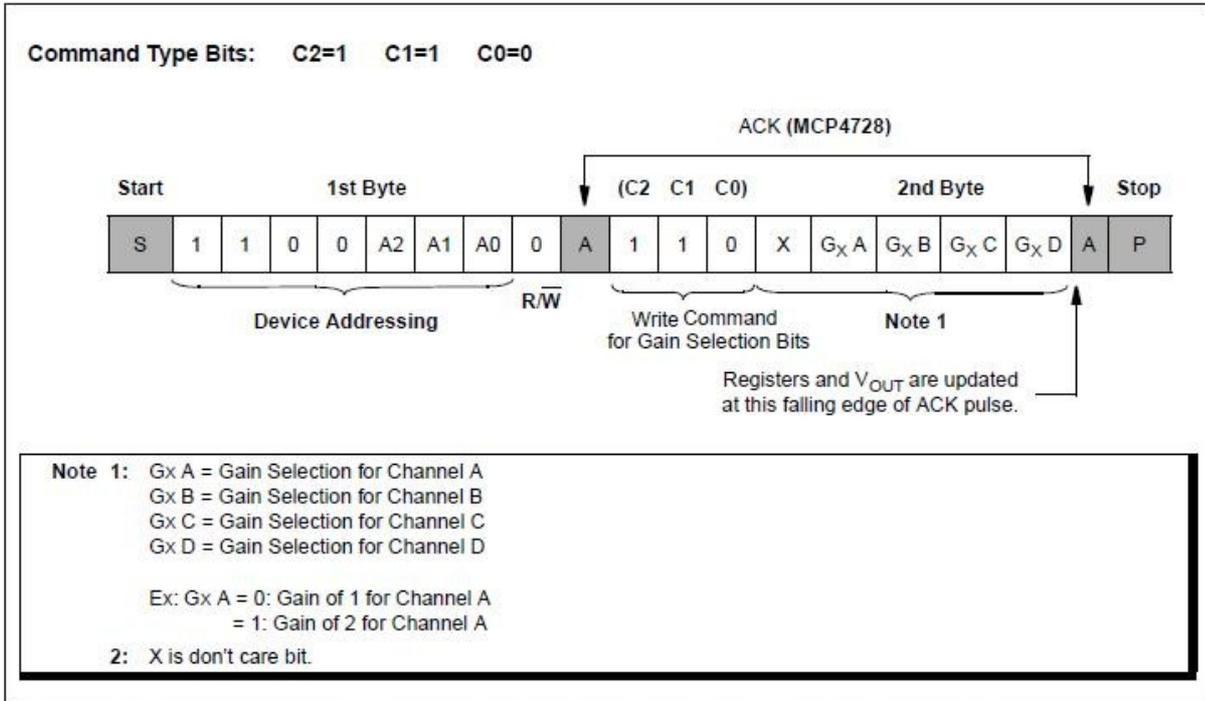


FIGURE 5-14: Write Command: Write Gain Selection Bit (G_X) to the DAC Input Registers.

5.6.8 WRITE COMMAND: WRITE I2C ADDRESS BITS (C2=0, C1=1, C0=1)

이 명령은 DAC 입력 레지스터와 EEPROM에 새로운 I2C 어드레스 비트를 (A2, A1, A0) 씁니다.
 장치가 이 명령을 받으면 새 주소 비트를 현재의 어드레스 비트에 덮어 씁니다.

이 명령은 LDAC 핀이 2번째 바이트의 마지막 비트(8번째 클락)의 Low time에서 "High"->"Low" 전환하고 세번째 바이트의 끝까지 "Low"를 유지했을 때에만 유효하다.
 조건이 맞다면 "Stop" 비트 이후에 업데이트 된다.
 /LDAC 핀은 데이터르 쓸 장치를 선택 하는데 사용된다.
 이 명령의 최대 클락률(clock rate)는 400KHz 이다.
 그림 5-11은 Address 쓰기 명령의 자세한 내용을 보여준다.

Note : 새로운 장치 주소를 쓰기위해서는 현재 장치의 주소가 요구된다.
 만약 장치의 현재 주소를 알 수 없다면 General Call Read Address Bits 명령을 송신함으로써 읽을 수 있다.
 I2C 주소 비트들을 읽는데에 대한 자세한 내용은 5.4.4 "General Call Read Address Bits" 보라.

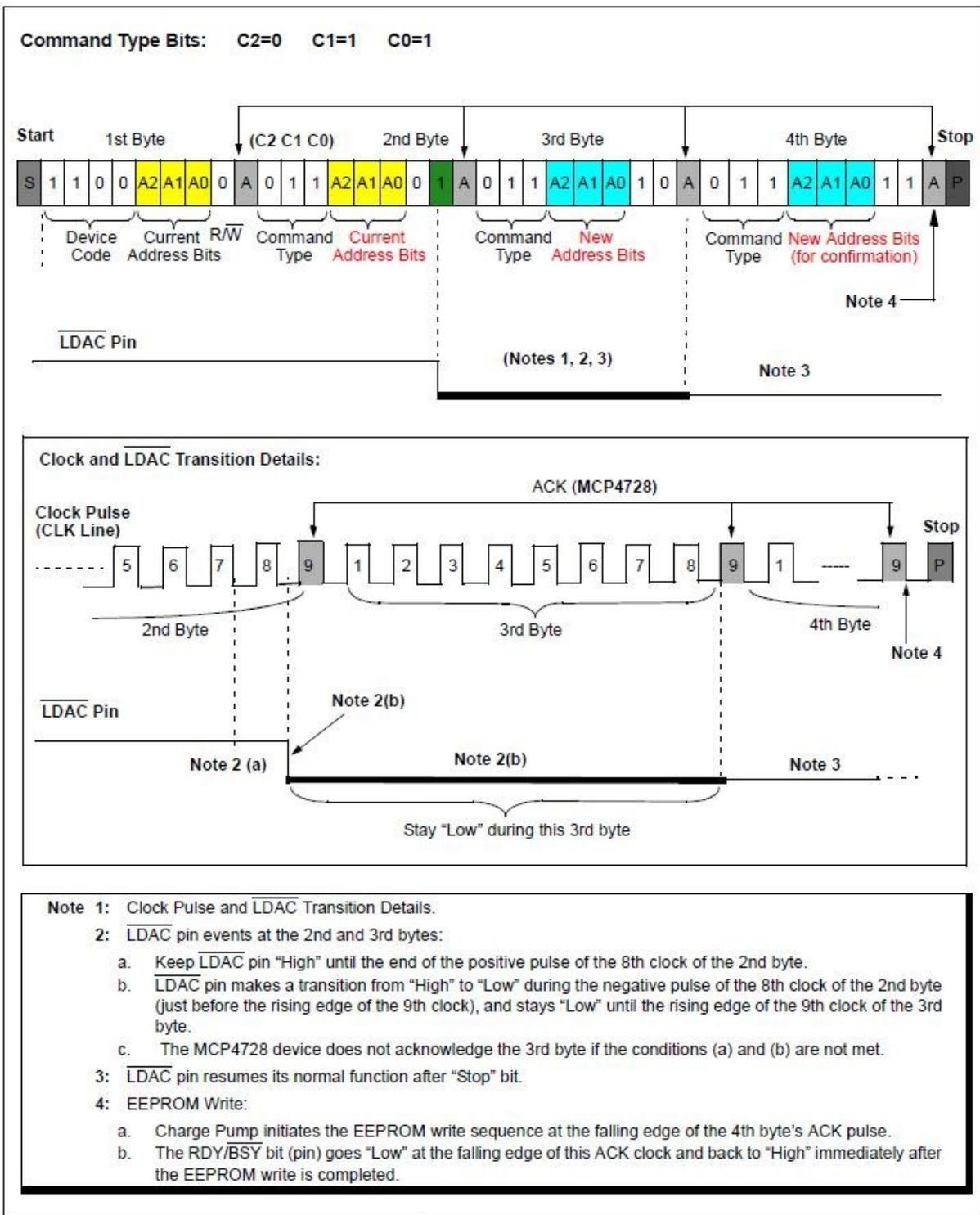


FIGURE 5-11: Write Command: Write I²C Address Bits to the DAC Registers and EEPROM.

Note: The I²C address bits can also be programmed at the factory for customers. See the Product Identification System on page 65 for details.

5.6.9 READ COMMAND

만약 R/W비트가 I2C 직렬 통신 명령에서 logic "High" 로 SET 되어 있다면, 장치는 읽기 모드로 들어가서 입력 레지스터들과 EEPROM를 읽는다.

그림 5-15는 읽기 명령에 대한 자세한 내용을 보여준다.

Note: 장치 주소 비트들은 General Call Read Address Bits 명령을 이용해서 읽혀진다.

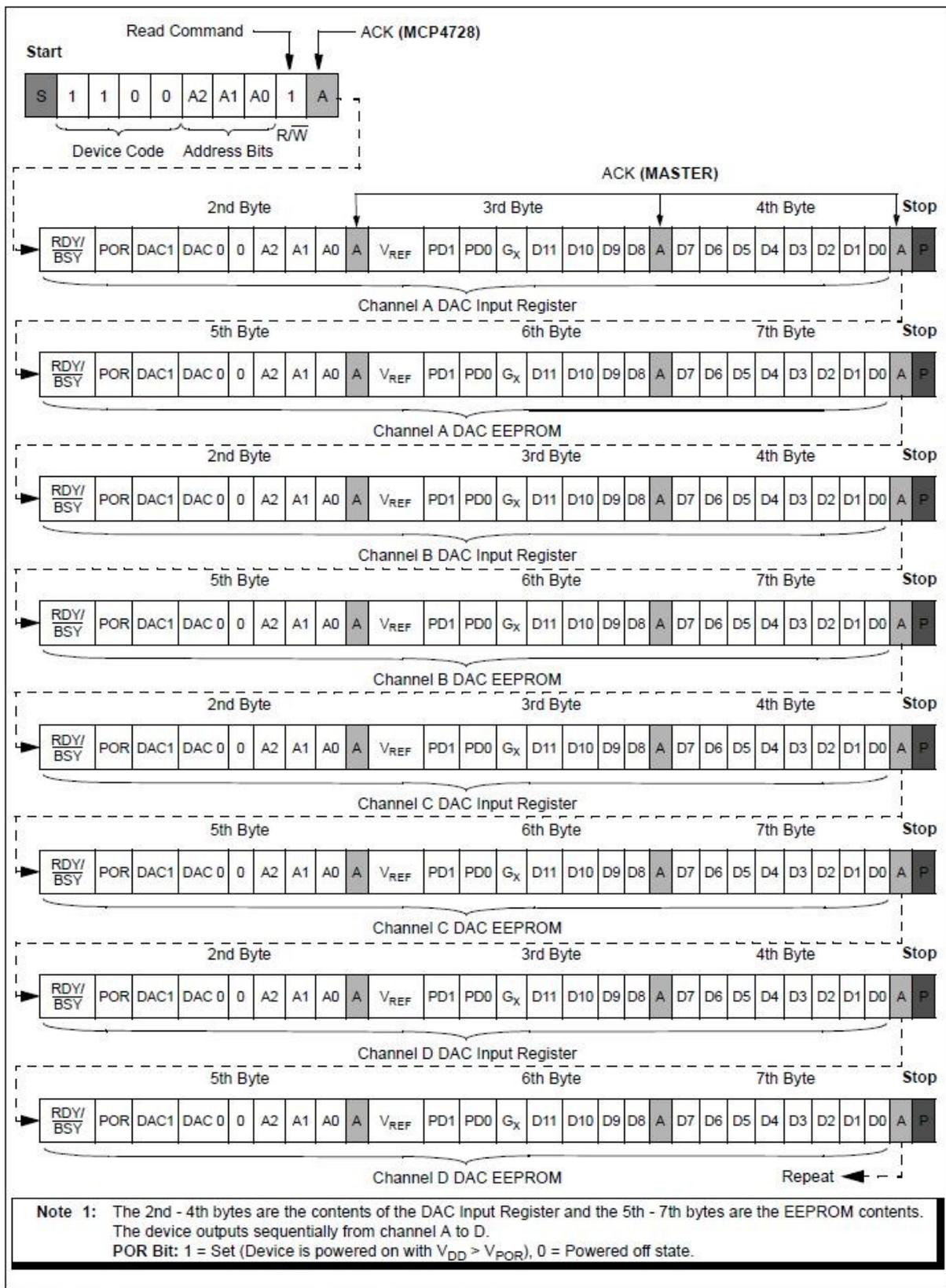


FIGURE 5-15: Read Command and Device Outputs.

나머지 내용도 꽤 많지만, 꼭 알아야만 할 내용은 아니고 이 내용만으로 이 칩의 이론 공부는 충분하다고 본다.

이 강좌는 내가 사용하려고 하는 DAC칩의 설명과 해석의 용도로 마감하겠고,이제 이 내용을 사용해서 DAC칩과 ARM 칩을 인터페이싱하여 프로그래밍하는 작업을 해야겠다.

DAC칩과 ARM 칩을 인터페이싱하여 프로그래밍하는 작업은 따로 강좌를 개설 해야겠군.

이게 원~, 내용이 많아서 4비트 CPU 공부한 느낌이네.

댓글

댓글알림

사용자

댓글을 남겨보세요



등록